

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-339767

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.⁶

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

V

H 0 1 L 27/04

H 0 1 L 27/04

T

21/822

審査請求 未請求 請求項の数10 F D 外国語出願 (全 28 頁)

(21) 出願番号 特願平10-146563

(22) 出願日 平成10年(1998) 5月12日

(31) 優先権主張番号 8 6 3, 8 3 3

(32) 優先日 1997年5月27日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000400

ヒューレット・パカード・カンパニー

アメリカ合衆国カリフォルニア州バロアル

ト ハノーバー・ストリート 3000

(72) 発明者 ドウワイト・ジェインズ

アメリカ合衆国テキサス州リチャードソン

ハネーサックル 2668

(72) 発明者 ハロルド・ドジャー

アメリカ合衆国テキサス州ダラス マッカ

ミー プルバード 6906

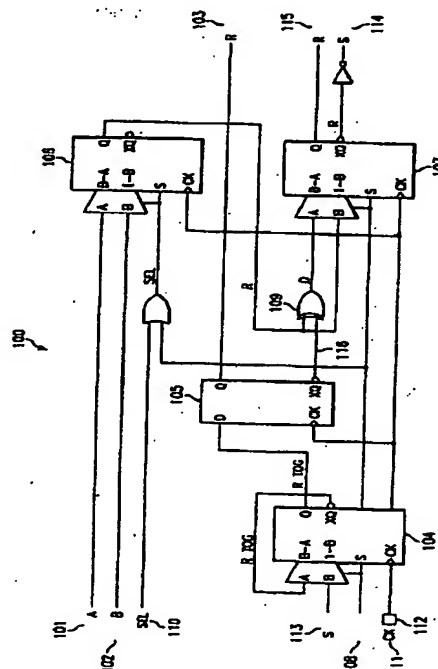
(74) 代理人 弁理士 上野 英夫

(54) 【発明の名称】 オン・チップ・タイミングの特性を明らかにするためのテスト・チップ回路

(57) 【要約】 (修正有)

【課題】 2つの経路を用いて、2つの経路における遅延の極めて正確な比較を行う

【解決手段】 論理ゲートの少なくとも1つのテスト経路に関する経路遅延を確定し、トグル・レジスタにより、トグル信号が発生し、送出レジスタによって経路に送出する。捕捉レジスタが経路のもう一方の端部からの該信号を受信する。論理ゲートは、先行送出信号からの受信信号と反転された送出信号を比較する。信号はトグル信号で、先行受信信号は、反転された送出信号と同じになる。ラッチ・レジスタは、論理ゲートが、所定の時間クロック期間内に、反転された送出信号と先行送出信号からの受信信号に一致を検出したか否かを判定する。クロック期間が短縮されると、送出信号は、クロック期間内に経路を通り抜け、捕捉レジスタによって捕捉されるのに失敗する。論理ゲートに不一致が生じる。不一致の時点におけるクロック期間が、経路の時間遅延である。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項 1】複数のマクロを含む、少なくとも 1 つのテスト経路の経路遅延を確定するためのシステムであって、

トグル信号を発生するための手段と、
経路の一方の端部に信号を送り出すための手段と、
経路のもう一方の端部からの信号を捕捉するための手段と、
送り出された信号の関数と捕捉された信号の関数を比較することによって、経路の遅延量を確定するための手段が含まれていることを特徴とする、
システム。

【請求項 2】前記確定するための手段は、さらに、
送り出された信号の関数と捕捉された信号の関数を比較するための手段と、
比較手段が所定の時間期間内に適正な結果を生じたか否かを確定するための手段を含み、
結果が不適正であれば、時間期間が経路遅延の関数である、
請求項 1 に記載のシステム。

【請求項 3】さらに、
所定の時間期間を変更するための手段が含まれ、
不適正な結果が判定されるまで、時間期間を短縮する、
請求項 1 または 2 に記載のシステム。

【請求項 4】捕捉信号が、先行トグル信号からのものである、請求項 1 ～ 3 に記載のシステム。

【請求項 5】前記システムは、第 1 のテスト経路と第 2 のテスト経路の経路遅延を確定し、

、前記システムは、さらに、
第 1 の経路と第 2 の経路の間で選択を行うための手段を含む、
請求項 1 ～ 4 の 1 つに記載のシステム。

【請求項 6】第 1 のテスト経路は、第 1 の特性をテストするように構成された複数の第 1 のマクロを含み、
第 2 のテスト経路は、第 2 の特性をテストするように構成された複数の第 2 のマクロを含む、
請求項 5 に記載のシステム。

【請求項 7】第 1 の特性及び第 2 の特性が異なり、第 1 のマクロ及び第 2 のマクロが同様のタイプである、請求項 6 に記載のシステム。

【請求項 8】第 1 のマクロ及び第 2 のマクロが論理ゲートであり、

第 1 の特性が固有遅延であり、そして第 2 の特性がワイヤ遅延である、
請求項 6 または 7 に記載のシステム。

【請求項 9】第 1 の経路の場合、ワイヤ遅延がほぼゼロであり、マクロが第 2 の経路より多いことと、
第 2 の経路が、大幅なワイヤ遅延を生じ、マクロが第 1 の経路より少ない、
請求項 6 ～ 8 の 1 つに記載のシステム。

2

【請求項 10】マクロ数及びワイヤ遅延量が、シミュレーション・データに基づいて、第 1 の経路と第 2 の経路における遅延がほぼ等しくなるように選択される、請求項 6 ～ 9 の 1 つに記載のシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本出願は、一般に、集積回路の特性を明らかにするテストに関するものであり、とりわけ、設計モデルの妥当性検査のための性能データの取得に関するものである。

【0002】

【発明の背景】ベンダまたはチップ・メーカは、チップ設計のシミュレーション・モデルにおけるタイミング検証に用いられる情報を供給する。しかし、ベンダが異なれば、供給するモデルに組み込まれた実際のマージンの質及び量は多種多様である。ベンダの性格が保守的であって、主として現行の生産に基づくモデルだけしか利用しない可能性もある。一方、ベンダがより進取の気性に富んでいて、提案された設計がある生産量を達成しそうになる時点において、その生産プロセスに期待されるところの予測から逸脱するモデルを利用する可能性もある。従って、該ベンダは、実際の設計と比較して、かなり異なるモデルを提供する可能性がある。

【0003】保守的なベンダの場合、マージンは十分にとられる。実際、マージンが大きすぎて、過度に保守的な設計となり、現在のテクノロジーの能力が十分に利用されないため、結果として、物足りない性能になる。このことは、もちろん、競合相手と比較して、市場においてあまり目立たないということになる。しかし、逆に、進取の気性に富んだベンダの場合には、マージンがほとんどなくなる。マージンがあまり少なすぎると、生産製品においてシミュレートされた、または、予測された性能を実現できない恐れがある。

【0004】設計モデルの供給に関する個々のベンダの姿勢及びアプローチのこの相違のため、テスト・ケースによって実際の性能をチェックし、これによって、ベンダがどちらの姿勢及びアプローチをとっているかを判定することができるのは極めて貴重である。

【0005】従って、システム設計者は、設計者自身のモデルの作成によって解決される場合が多い、実際の設計シミュレーションに用いられるモデルに関して、ジレンマに直面することになる。設計者は、設計者自身のモデルを導き出そうとすることが多いが、ベンダがあまり保守的ではないと思われる場合に、余分な保守性またはマージンを組み込むか、あるいは、ベンダのマージンの過剰をある程度軽減するため、実際には、ベンダの所見で可能とされるよりも果敢に手を加え、従って、市場により適した設計を実現する。

【0006】これは、よく試みられるが、設計者がベンダのマージンを正確に査定しない限り、システムが機能

しないか、あるいは、十分な能力が得られないので、大いに危険である。このタイプの査定は、ベンダによって直接供給されないモデルに依存すること、及び、前記モデルを作成することを意味するため、大部分の設計者は、該査定を実施したがない。

【0007】このタイプの査定は、伝統的に、シミュレーションが実施され、測定が行われる装置を通る信号経路を備えた、テスト・ケースまたはテスト・チップによって実施されてきた。設計者は、シミュレーションと測定を相関させて、モデル化性能と測定性能が一致することを確認しようとした。しかし、テストが極めて少ないサンプルで実施される場合が非常に多く、従って、統計的に有効なデータを収集することが困難であるため、一般に、これでは不十分である。さらに、一般的な測定には、多量の入力／出力（I／O）遅延及び／またはクロック供給遅延が含まれており、両方とも、実際のオン・チップ遅延の測定における一般的なエラーの一因となるため、該テストは不正確でもある。実際のオン・チップ・ゲート遅延は、一般に、100～200ピコ秒以下の範囲であり、I／O、クロック供給遅延、及び、用いられる測定技法のために測定に導入されるエラー及び不確実性によってわかりにくくなる。

【0009】

【発明の概要】以上の及びその他の目的、特徴、及び、技術的利点は、設計者が、高性能集積回路のタイミングの妥当性検査を行うシミュレーションにおいて、ベンダによって供給されるモデルを利用することが可能なシステム及び方法によって実現される。本発明によれば、設計者は、ベンダの設計規則がどれほど保守的であるかを正確に確認し、それに従って、設計マージンを調整することができるようにするのに必要とされる正確度で、テスト回路を実際に測定することが可能になる。

【0010】本発明では、オン・チップ・レイアウトに含まれるか、または、クロック・スキューのために生じる可能性のある差に起因する測定エラーが最小限の、厳しく制御されたテスト回路を利用し、I／Oによって導入されるスキューまたはエラーの可能性を排除する。この回路によって、設計者は、2つの異なる経路間における比較測定を行うことが可能になる。チップ上の2つの経路間における差がごく僅かになるように、同じレイアウトが用いられているので、これらの経路は、導入されるエラーが最少になるように構成されている。この結果、2つの経路の性能に関する正確な比較読み取りが可能になるので、測定の観点から、設計者は、2つの経路の性能間のデルタまたは差を示すことが可能になる。この結果、設計者は、極めて低いエラー・レートでこれら2つのケースの差を比較することが可能になる。本発明によれば、設計者は、特別な関心があるケースについて、数多くの比較を行うことが可能になる。例えば、重い負荷または軽い負荷のケースを精密に示し、極めて直

接的に、ほとんどエラーを生じることなく、比較することが出来る。

【0011】本発明では、測定を受ける経路に沿って送られ、経路のもう一方の端部においてレジスタに捕捉される、立ち上がりまたは立ち下りの過渡的な過渡信号を利用する。変動するクロックを用いて、経路タイミングが精密に確定される。設計者は、従って、MUX選択スイッチを入れて、A経路からB経路に測定経路を変更し、全く同じクロック・スキューの少ない環境で、全く同じレジスタを利用した送信、及び、全く同じレジスタを利用した受信によって、他の経路を測定することが可能である。

【0012】受信レジスタに送り込まれる返送信号は、走査によって、あるいは、外部ピンを介して読み取ることが可能である。従って、全測定が、ダイ上で実施されるので、実際に測定されている経路のI／Oを必要としない。タイミングは、クロックだけで制御され、送信及び受信レジスタは、ダイ上において、また、クロック・ツリーの同じ最終リーフ上においても、互いに極めて近接した物理的配置が施されるので、2つのレジスタの刻時にはほとんどスキューが生じない。この結果、クロック・スキューによるエラー量が極めて少なくなり、タイミング測定の主たる部分は経路自体から行われる。

【0013】従って、本発明によれば、設計者は、2つ以上の経路に関して極めて精密な測定を行い、さらに、該経路に関する精密な比較を行うことが可能になる。測定された各経路は、シミュレートされた経路と比較することが可能である、すなわち、測定された経路A対シミュレートされた経路A、及び、測定された経路B対シミュレートされた経路Bの比較を行うことが可能である。また、測定された経路AとBの間のデルタと、シミュレートされた経路AとBの間のデルタを比較して、より正確な特性フィードバックを得ることが可能である。

【0014】各経路には、互いに連鎖をなす、ベンダからの特定のタイプのマクロが含まれている。実際、全ライブラリに含まれた全てのマクロを用いて、そのマクロ・タイプの複数コピーによるタイミング遅延の有意義な測定を行い、該ライブラリの全ての要素についてフィードバックを確認することが可能である。しかし、一般的な設計では、マクロ・ライブラリは、同じコア設計要素の複製であるため、実際には、全てのマクロについてこのテストを実施する必要はない。これらの要素またはドライバ・タイプは、ライブラリにおけるより複雑なマクロを構成するための、ベース・レベルとして用いられる。

【0015】従って、ライブラリのマクロを表すコア設計要素またはドライバ・タイプのテストは、実際にははるかに関心を引くものであり、効率の良いものである。これらの要素は、さまざまな条件下、一般的には、それらが駆動する負荷条件下において、その駆動特性を

5

検査することが可能である。例えば、ドライバは、駆動しなければならないキャパシタンス量に関して、極めて軽い負荷または極めて重い負荷を受ける可能性がある。負荷の性質は、極めてゲート集約的であり、従って、負荷が重くなるのは、複数装置の複数入力に対するファン・アウトのゲート・キャパシタンスによってキャパシタンス負荷が増すためである。負荷は、ワイヤ遅延または相互接続に固有の遅延によって左右される可能性もある。

【0016】経路内の装置または要素を変更し、パラメータ化することによって、設計者は、さまざまな駆動強度をテストし、さまざまな負荷条件にさらして、基本的ドライバのベース・レベル特性を明らかにし、極めて現実的な負荷条件にさらすことで、性能に関するフィードバックを確認することができる。ドライバの性能と負荷条件は、両方とも、プロセスの関数であり、全ライブラリをなすマクロのスーパー・セット全体のタイミング性能を制御するパラメータである。

【0017】マクロは、個別トランジスタから形成されたセルまたはゲートである。例えば、NORゲートは、マクロである。さらに、フリップ・フロップも、2つの交差結合NORゲートをそのコア要素として用いて、該NORゲートから形成することが可能なマクロである。マクロは、遅延を生じさせることが可能な任意のものとする事も可能である。従って、4ビット加算器のようなより複雑なマクロは、NORゲートのような単純なブロック論理装置であるコア要素から構成される。従って、コア要素またはドライバの特性が明らかになると、より複雑なマクロの特性を明らかにすることも可能になる。従って、全ライブラリのベース・レベルの性能を反映した、測定性能対シミュレーションによる性能の比較データを求めることが可能である。

【0018】ここまでは、後続する本発明の詳細な説明についてより十分な理解が得られるようにするため、本発明の特徴及び技術的利点に関してかなり大まかな概要説明を行ってきた。以下では、本発明の請求項の内容を形成する本発明の特徴及び利点について補足説明を加えることにする。当業者には明かなように、開示される概念及び特定の実施態様は、本発明の同じ目的を実施するための他の構造を修正または設計するための基礎として容易に利用することが可能である。やはり当業者には明かなように、こうした同等の構成は、付属の請求項に記載された本発明の精神及び範囲を逸脱するものではない。

【0019】

【発明の好適な実施例の説明】図1には、本発明によるレジスタ回路100が示されている。この回路100は、ラインR__SEND103に信号送り出し、PATHA101及びPATHB102を介して送り返すことによって、それ自体でラップ・バックする。トグル発生

6

レジスタ104は、その反転出力XQが入力MUXにフィードバックされるフィードバック構成をなすようにセット・アップされる。これによって、各クロック・サイクル毎にトグルする、自己持続トグル・レジスタが得られる。トグル・レジスタ104は、テストを容易化するため走査ライン108に接続される。

【0020】次に、トグル・レジスタ104からのトグルQ出力が、送出レジスタ105のD入力に直接送り込まれる。このレジスタは、そのQ出力からテストを受ける経路に、R__SENDライン103を介して、立ち上がりトグル出力、さらに、立ち下がりトグル出力を送り込む。このラインは、図2及び3に示す装置に接続され、この回路によって測定可能な2つの独立した経路にファン・アウトする。

【0021】次に、経路は、PATHA101及びPATHB102として回路100に戻る。PATHA101及びPATHB102は、捕捉または受信レジスタ106の入力MUXのA及びBに結合される。次に、捕捉レジスタ106によって、そのQ出力がXOR論理ゲート109に送り込まれ、送出レジスタ105のXQ出力からの予測信号116とXOR演算で論理的に比較され、その後、ラッチ・レジスタ107に送り込まれるので、一般には、出力ピンでエラー信号R__MISS115を介して観測することができる。必要があれば、ラッチ・レジスタ107の走査による観測を行い、レジスタから合否のラッチ結果を検索することも可能である。

【0022】回路100の基本的な働きは、送出レジスタ105から連続して遷移信号が送り出され、どちらの経路が現在測定中であろうと、SELライン110を介してMUXによって選択される、PATHAまたはPATHBによって転送された、捕捉レジスタ106によって受信されるようにすることである。

【0023】図2及び3に示すものと同様のテスト経路のテストが、長いクロック・サイクル及び極めて短い周波数で開始するので、送出レジスタ105から送り出される遷移エッジ信号がテストを受ける経路を伝搬して、捕捉レジスタ106によってかなりのマージンで捕捉されるのに、多くの時間を要することになる。クロック信号CK111の周波数が高くなり、サイクル時間が短縮されると、遷移エッジの捕捉が次第に困難になり、最終的には、失敗することになる。この失敗したポイントが、その経路のタイミングを表す。失敗ポイントにおけるクロック周波数は、直接、選択された経路の測定遅延である周期に変換される。

【0024】チップ自体に対するクロック周波数は、外部計測器112によって変更される。一般に、クロック・システムに対する入力周波数のモニタが行えるように、測定方法において低スキューのクロック及び極めて正確な周波数入力が発生するため、関数発生器を用いて、一般的なクロック供給システムによるクロック信号

CK111が駆動される。クロック・ツリーのボトム・リーフからクロック・サンプルを取り出して、出力ピンにおいて観測することによって、内部クロック・レートを検知し、どれほどのクロック・スキューが存在するかを確認するための補助的手段が得られる。

【0025】トグルが実施されているので、回路100における動作は極めて予測が容易である。従って、XORゲート109を介して返送トグル信号をモニタして、ラッチ・レジスタ107に送り込み、サイクル毎に、正しいデータが捕捉されたか否かを確定することが可能である。捕捉レジスタ106は、データの変化に対するセット・アップ時間に合わせる事ができないと、結果として、間違った値を記憶するので、ラッチが失敗の生じたことに気づくポイントまで、周波数がだんだん高くなるように、クロック・サイクルが速められる。この値は、XORゲート109によって失敗として検出される。先行状態が、送出レジスタ105のQバーまたはXR出力から得られるので、XORゲート109は、その比較結果を提供することになる。該状態は、さらに、捕捉レジスタ106のQ出力からの現在の状態と比較される。正しい一致が受信されなければ、XORゲート109からエラー結果が送り出されて、ラッチ・レジスタ107にラッチされ、その出力によって確認することができる。

【0026】各クロック・サイクル毎に、連続測定が実施される。測定エラーは、レジスタの物理的レイアウトにおけるごくわずかな局部的変更によるものだけである。該エラーは、クロック自体からは完全に排除され、これらのレジスタは、一般に、クロック・スキューが最小限に抑えられるように、互いに極めて近接したレイアウト及び配置が施される。さらに、クロック自体、クロック・ツリーにおいて、スキューを最小限に抑えるような設計が施されているが、これは、高性能設計の基本の1つである。クロックは、既に、タイミング測定の実施に用いることが可能な最高性能の回路要素である。

【0027】さらに、レジスタの全てが、物理的に近接して保持されるが、送出レジスタ105及び捕捉レジスタ106は、互いにできるだけ接近していなければならない。これら2つのレジスタは、クロック・ツリーの真に最低のブランチ、すなわち、クロックのボトム・リーフ・セルから刻時されるので、そのスキューはまさに最小限になる。

【0028】従って、これら2つのレジスタが物理的に接近するように、経路は、分かれて、ダイ及び帰路の広い領域をカバーすることができる。経路自体には、短くするとか、あるいは、極めて局限されたゾーン内に配置するといった制限はない。実際、経路は、ダイの広い領域にわたって拡散し、例えば、中心から中心、または、コーナからコーナといった、ダイの広い領域を横切る際に生じる可能性のあるより多くの変化を受けるので、従

って、ダイの全域にわたって変動するIR降下や、チップ上における他のレイアウト現象を観測することになる。異常に長い経路遅延はシミュレーションによって予測されないので、該特性も、このタイプの回路によって測定することが可能である。

【0029】第1の経路PATHA101に関する測定を完了すると、PATHB102に関する測定を実施することが可能になる。SEL信号110によって、捕捉レジスタ106のMUXはPATHB102の読み取りを行うように切り替えられる。PATHB102の読み取りが済むと、2つの経路を互いに比較することが可能になる。最小限のエラーで遅延を確定する精密な手段が既に設けられているだけでなく、正確な同じレジスタを用いて、送出及び捕捉が行われるので、2つの経路間における比較測定も精密であるため、比較の精度はいっそう高くなる。

【0030】経路に起因しない比較エラーは、捕捉レジスタ106のMUXだけによるものである。例えば、回路100の複製によって生じるエラーは排除されている。回路100に付加論理素子を加えて、3つ以上の経路の圧縮に適応することは可能であるが、MUX経路遅延の変動によって、測定値にさらなるエラーが追加されることになる。さらに、回路100は、接続される各経路が異なる特性または異なるマクロまたはコア要素の測定を行うように工夫すれば、1つのダイ上に複製することが可能である。回路100は、また、ダイの位置よる差を測定するため、各PATHAを同じにし、各PATHBも同じにして、1つのダイ上に複製することが可能である。

【0031】回路100におけるこの論理は、全て、テスト可能であり、所定の環境下において、設計者は、捕捉レジスタ107によって捕捉される結果を走査したいと考える可能性がある。それを可能にするため、ピンS_IN113の走査は、トグル・レジスタ104におけるMUXのB入力に接続される。走査SCAN信号108が表明されると、S_IN113は、B MUX入力を介してトグル・レジスタ104に送り込まれる。トグル・レジスタ104のQ出力が、直接送出レジスタ105に流入し、そのQ出力は、R_SEND103を介して経路に流入する。SCAN108によって、捕捉レジスタ106の選択経路が切り替えられ、PATHB102が走査状況下において選択された経路になる。

【0032】信号は、捕捉レジスタ106のMUXのB側における経路PATHBとして、回路100に戻る。信号は、捕捉レジスタ106のQ出力に送り出され、ラッチ・レジスタ107のMUXのB側に送り込まれるので、XORゲート109はバイパスされる。ラッチ・レジスタ107からのQ出力は、エラー信号R_MISS115である。Qバー出力またはXQは、走査連鎖から反転をはずすため、反転されて、その反転を否定され、

スキャン・アウト信号S__OUT114として走査連鎖に送り込まれる。レジスタの走査順序は、従って、レジスタ104から105に進み、106に進み、107に進むことになる。これが、走査連鎖をフック・アップして、論理テストを可能にする方法である。

【0033】図2には、インバータ204の2つの直列経路を備えたテスト回路200が描かれている。この2つの経路は、同じ入力経路R__SEND203を共用している。この信号ラインは、図1の送出レジスタ105を出発点とするものである。該信号は、インバータ204の2つの直列ストリームにファン・インしている。PATHA201は、全部で40のインバータを備えており、これらは、さらに、捕捉レジスタ106のMUXのA側に接続されている。PATHBは、全部で16のインバータを備えており、これらは、さらに、捕捉レジスタ106のMUXのB側に接続されている。

【0034】しかし、異なる経路は、ベンダの情報から予測されるように、遅延時間量がほぼ同じである。PATHA201の場合、インバータ・マクロが可能な限り物理的に互いに近接して配置されているので、本質的にワイヤ接続をほとんど駆動することがなく、直接次のマクロ段に通じているため、ワイヤ遅延は最少になる。この構成は、固有の遅延、すなわち、負荷率が極めて小さいマクロにおけるシリコン遅延を表している。しかし、PATHB202の場合には、関係するインバータはより少ないが、それぞれ、より重い荷重を駆動している。より多くのワイヤが存在し、従って、ワイヤに関連した遅延がより多くなる。この場合、ワイヤのインダクタンス、抵抗、及び、キャパシタンスは、遅延時間に影響を及ぼしているが、インバータ16だけに限れば、ワイヤからの付加遅延は、PATHA201に固有の遅延にほぼ等しい。

【0035】しかし、経路の遅延が正確に同じであることは必須条件ではないという点に留意されたい。同じ桁である限り、極めてよく似た測定値が得られるし、クロック周波数源は掃引されるので、クロック周波数源における変動に起因するエラーの見込みは少ない。換言すれば、失敗は、ほぼ同じクロック周波数でXORゲート109によって検出されるので、2つの経路を比較すると、より正確な結果が得られる。このため、マクロ数及びワイヤ長は、必ずしも全く同じでなくてもよいが、ほぼ同じ経路遅延になるように選択される。

【0036】図3には、インバータ304の2つの直列経路を備えたテスト回路300の第2の構成が示されている。この場合、直列連鎖内のインバータ数は、図2よりも少ないが、両方の経路とも、ファン・アウトは増大している。この構成300は、構成200とは異なる種類の負荷条件を表している。

【0037】図3では、負荷に生じる可能性のある2つの変更が検査されており、PATHA301の場合、主

として、ゲートのファン・アウトに起因するキャパシタンス負荷であるファン・アウト負荷と、それぞれ、2つ以上にファン・アウトするようにして、14のインバータ・マクロ304が直列に構成された、最少量のワイヤ(PATHA201におけるような)が設けられている。PATHB302には、ワイヤ数は多いが(PATHB202におけるように)、それぞれ、PATHA301の場合と同じファン・アウトにして、直列に配置されたインバータ・マクロ304が10だけしかないという点で、より現実的な、すなわち、より調和のとれたファン・アウトとワイヤ遅延の組み合わせが設けられている。やはり、ワイヤ長及びインバータ数は、遅延が、図2に関して解説の2つの経路の場合とほぼ同じになるように選択される。この方法によれば、2つの経路は、精密に比較することが可能である。他の構成との比較は簡単に実施することが可能である、例えば、構成200からのPATHA201と構成300からのPATHAを比較することが可能である。NORゲートのようなインバータの代わりに、他のマクロを利用することも可能である。

【0038】経路に含まれる要素のタイプは、実際の設計に用いられるライブラリの審査に基づいて選択される。マクロ・ライブラリ内の要素に関する分析が始められるが、一般に、マクロ・ライブラリには60または70の要素が含まれている。実際のマクロ設計のトランジスタ概要図がドライバ・タイプによって分類され、マクロのタイミング性能に関連する特性ドライバ・タイプ及び相対的回路要素タイプが調べられる。

【0039】一般に、ライブラリ内に含まれる複数マクロの生成に利用及び再利用される基本ドライバ・タイプ及び基本回路組み合わせのサブセットは、大規模マクロ・ライブラリの基礎をなしている。さまざまなタイプの基本要素が、コア要素マクロにまとめ上げられるが、これらは、一般に、さまざまな駆動強度を備えたインバータ及び／または2つの入力XOR、2つの入力NOR、及び、2つの入力NANDといった単純なゲートによって体现されることになる。次に、これらの要素は、図2及び3に示す連鎖を構成するために利用され、また、ファン・アウトに極端なゲート・キャパシタンス変動を生じさせるため、負荷タイプにおける極端な状態と組み合わせで用いられ、固有の事例が得られるようにするため、ワイヤ遅延状態またはワイヤ遅延のない状態と組み合わせで利用される。次に、これらの要素が選択され、経路遅延が目標として設定される。

【0040】個々のライブラリを基本要素に分類する上において、その分析は重要なステップであり、設計毎に、どの要素を選択するかは異なる可能性がある。選択された要素の物理的テスト・チップの1つ（またはいくつかのテストチップ）から測定値が得られると、ベンダによって提供された情報によるシミュレーション結果と

* 能性がある。

【0042】本発明及びその利点について詳述したが、もちろん、付属の請求項によって定義された本発明の精神及び範囲を逸脱することなく、さまざまな変更、代替、及び、改変を施すことが可能である。

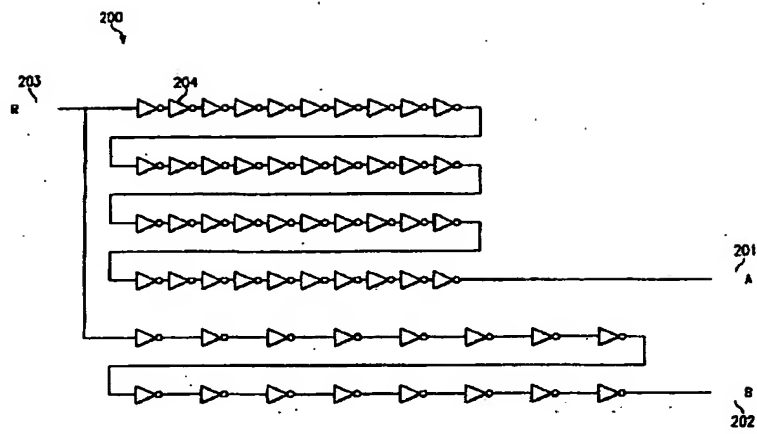
【図 1】 本発明のレジスタ回路の概略図である。

【図3】図1の回路のそれぞれの信号ラインに接続されたインバータのファン・アウトを備えた2つの経路を示す図である。

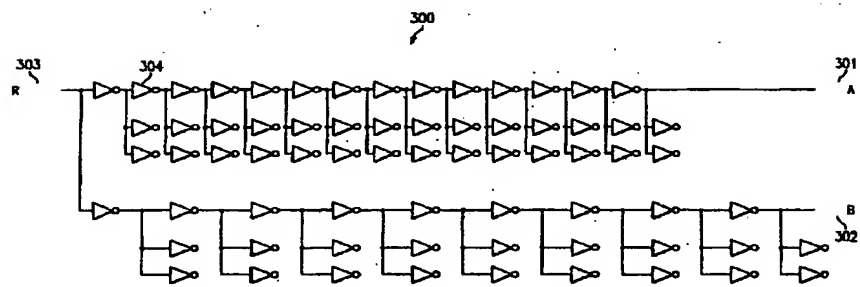
100 レジスタ回路

- | | |
|-------|-------------|
| 1 0 4 | トグル・レジスタ |
| 1 0 5 | 送出レジスタ |
| 1 0 6 | 捕捉レジスタ |
| 1 0 7 | ラッチ・レジスタ |
| 1 0 9 | X O R 論理ゲート |
| 1 1 2 | 外部計測器 |
| 2 0 0 | テスト回路 |
| 2 0 4 | インバータ |
| 3 0 0 | テスト回路 |
| 3 0 4 | インバータ・マクロ |

【図 2】



【図 3】



【外国語明細書】

1. Title of Invention

TEST CHIP CIRCUIT FOR ON-CHIP TIMING CHARACTERIZATION

2. Claims

(1) A system for determining path delay of at least one test path, the path including a plurality of macros, the system comprising:
means for generating a toggling signal;
means for launching the signal onto one end of the path;
means for capturing the signal from the other end of the path; and
means for determining an amount of path delay by comparing a function of the launched signal with a function of the captured signal.

(2) The system of claim 1, wherein the means for determining further comprises:

means for comparing the function of the launched signal with the function of the captured signal; and

means for determining whether the means for comparing has produced a proper result within a predetermined time period;

wherein if the result is improper then the time period is a function of the path delay.

(3) The system as in claim 1 or 2, further comprising:

means for changing the predetermined time period;

wherein the time period is decreased until the improper result is determined.

(4) The system as in one of claim 1-3, wherein:

the captured signal is from a prior toggle signal.

(5) The system as in one of claim 1-4, wherein the system determines path delay for a first test path and a second test path, the system further comprises:

means for selecting between the first path and the second path.

(6) The system of claim 5, wherein:

the first test path that includes a plurality of first macros arranged to test a first characteristic; and

the second test path that includes a plurality of second macros arranged to test a second characteristic.

(7) The system of claim 6, wherein:

the first characteristic and the second characteristic are different; and

the first macros and the second macros are of a similar type.

(8) The system as in claim 6 or 7, wherein:

the first macros and the second macros are logic gates;

the first characteristic is intrinsic delay; and

the second characteristic is wire delay.

(9) The system as in one of claim 6-8, wherein:

the first path has approximately zero wire delay and more macros than the second path; and

the second path has significant wire delay and fewer macros than the first path.

(10) The system as in one of claim 6-9, wherein:

the number of macros and the amount of wire delay is selected according to simulation data so that the first and second paths have approximately equal path delays.

3. Detailed Description of Invention

TECHNICAL FIELD OF THE INVENTION

This application relates in general to integrated circuit characterization testing, and in specific to obtaining performance data to validate the design models.

BACKGROUND OF THE INVENTION

Vendors or chip manufacturers supply the information that is used for the timing verification in simulation models of chip designs. However, the different vendors have a wide variety in the quality and the quantity of actual margins that they have built into the models that they provide. Vendors can be conservative in nature and only use models that are based largely from current production. On the other hand, vendors can be more aggressive, and use models that are based off of projections of what they expect their production process to be at the time when the proposed design will be achieving a production volume. Thus, the vendors may provide models that have a great deal of variation as compared with the actual design.

In the case of the conservative vendor, there will be ample margin.

In fact, the margin may be so great that there is an overly conservative design resulting in lack luster performance, because full advantage is not taken of the capabilities of the current technology. This of course leads to a poor showing in the marketplace as compared to competitors. But conversely, in the case of the aggressive vendor, little margin is

ill exist. If too little margin exists, there is the risk of being unable to achieve the simulated or predicted performance in the production device.

Because of this difference in attitude and approach of the different vendors in supplying the design models, it is very valuable to be able to check the actual performance with a test case, and thus determine which attitude and approach the vendor uses.

Consequently, a system designer faces a dilemma in regards to the models that are used in the actual design simulation, that is often solved by creation of their own models. The designers will often attempt to derive their own models, and either build in extra conservatism or margins if they believe that the vendor is not conservative enough, or they will actually be more aggressive than what the vendor states is possible in order to mitigate some of the vendor margin overage, and thus realize a better design for the marketplace.

This is often attempted, but at great peril, because unless the designer makes an accurate assessment of the vendor's margins, the system will either not function or be underpowered. Most designers are hesitant to do this type of assessment because it means relying upon and creating models that are not supplied directly by the vendor.

This type of assessment has traditionally been done with test cases or test chips, which would have signal paths through the device where a simulation was performed and measurements were taken. The designer would attempt to correlate between the simulation and measurements to validate that modeled performance matches measured performance. This typically is inadequate however, because very often the testing is performed on a very small sample and it is consequently difficult to collect statistically valid data. Moreover, the testing is also inaccurate because the typical measurements will include large amounts of input/output (I/O) de

lay and/or clock distribution delay, both of which will contribute to a general error in measurement of the actual on-chip delay. The actual on-chip gate delays are typically in the ranges of 100 to 200 picoseconds or less, and they will be obscured by the errors and the uncertainty that is introduced into the measurement from the I/O, clock distribution delay, and the measurement technique that is applied.

SUMMARY OF THE INVENTION

These and other objects, features and technical advantages are achieved by a system and method which in a designer can use models that are supplied by a vendor in a simulation to validate the timing of the high-performance integrated circuit. The invention allows a designer to actually measure a test circuit with the necessary accuracy to be able to ascertain exactly how conservative the vendor's design rules are and accordingly adjust the design margin.

The invention uses a tightly controlled test circuit that has minimum measurement error due to differences that might exist in an on-chip layout or from clock skew, and eliminates the possibility of having skew or error introduced by I/O. This circuit enables the designer to make a comparative measurement between two different paths. These paths are so constructed that the any error introduced is minimal, because the same layout is used with only very minor differences on chip between two paths. This allows an accurate comparative reading on those two paths performance, so that from a measurement standpoint, the designer is able to produce a delta or differential between the performance of the two paths.

This allows the designer to compare the differential of these two cases with an extremely low error rate. The invention allows the designer to make numerous comparisons for cases of particular concern, for example cases of heavy or lighter loads can be mapped out and compared very directly.

actly with little error.

The invention uses a transition signal that is a rising or a falling transition, which is launched down the path that is to be measured and then captured in a register at the other end of the path. A varying clock is used to precisely determine the path timing. The designer then can throw a MUX selection switch to change the measured path from the A path to the B path and measure the other path using exactly the same register to launch and exactly the same register to receive, with the exact same minor clock skew circumstances.

The returning signal that is latched into the receiving register can be read either through scan or via an external pin. Thus, the entire measurement is contained on the die and does not require I/O for the path that is actually being measured. The timing is controlled by the clock only and the sending and receiving registers are physically placed very close together on the die, and also on the same final leaf of the clock tree, so that there is very little skew in the clocking of the two registers. This results in a very small amount of error from clock skew and makes the dominant part of the timing measurement the from path itself.

Thus, the invention allows the designer to make very precise measurements of two or more paths, and then a precise comparison of the paths.

Each of the measured paths can be compared with the simulated paths, meaning that path A's measured versus simulated and path B's measured versus simulated can be compared. Also, the delta between path A and B as measured can be compared with the delta between path A and B as simulated to give better characterization feedback.

Each path comprises macros of particular types from the vendor that are chained together. In fact, it is possible, to take every macro that is in the entire library and make a meaningful measurement of the timing delay through multiple copies of that macro type and ascertain feedback

on every element in the library. However, it is not really necessary to perform this test on every macro, because in typical designs, macro libraries are replications of the same core design elements. These elements or driver types are used as a base level to construct the more complex macros in the library.

Therefore, it is really much more interesting and efficient to test the core design elements or driver types which are representative of the macros in the library. These elements can have their drive characteristics examined under various conditions, typically the load conditions under which they drive. For example, drivers can have very light loads or very heavy loads in terms of the amount of capacitance that they have to drive. The nature of the load can be very gate intensive, so a heavier load is due to more capacitance load from the gate capacitance of a fanout to multiple input on multiple devices. Load can also be dominated by wire delay or the delay that is inherent in the interconnect.

By varying and parameterizing the devices or elements in the path, the designer can ascertain feedback on the performance by testing a variety of drive strengths, driving into a variety of load conditions to get a base level characterization of the fundamental driver, and driving into very realistic load conditions. Both the driver's performance and the load conditions are a function of the process and are the parameters which control the performance of the timing of the overall super set of macros that are the entire library.

A macro is a cell or a gate that is built out of individual transistors. For instance, a NOR gate is a macro. Moreover, a flip flop is also a macro which might be formed from two cross coupled NOR gates, with the NOR gates as its core elements. A macro can also be anything that can cause delay. So the more complex macros, such as a four bit adder, are constructed from core elements that are simple block logic arrangements.

s, such as NOR gates. Thus, if the core element or driver is characterized, the more complex macros can also be characterized. Therefore, data comparing measured versus simulated performance can be determined that reflects the base level performance for the entire library.

The foregoing has outlined rather broadly the features and technical advantages of the present invention in order that the detailed description of the invention that follows may be better understood. Additional features and advantages of the invention will be described hereinafter which form the subject of the claims of the invention. It should be appreciated by those skilled in the art that the conception and the specific embodiment disclosed may be readily utilized as a basis for modifying or designing other structures for carrying out the same purposes of the present invention. It should also be realized by those skilled in the art that such equivalent constructions do not depart from the spirit and scope of the invention as set forth in the appended claims.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

FIGURE 1 depicts the inventive register circuit 100. This circuit 100 wraps back on itself by sending a signal out on line R_SEND 103 and returning through PATHA 101 and PATHB 102. Toggle generation register 104 is set up in a feedback arrangement having its inverting output XQ fed back into the input MUX. This produces a self-sustaining, toggling register, which will toggle on each clock cycle. Toggle register 104 is connected with scan line 108 for testability purposes.

The toggling Q output from toggling register 104 then feeds directly into the D input of launch register 105. This register, through its Q output, launches a rising and then a falling toggling output into the path under test via R_SEND line 103. This line connects to the arrangement as shown in FIGURES 2 and 3, where it then fans out to two separate paths.

s which are the two paths that are measurable by this circuit.

The paths then return into circuit 100 as PATHA 101 and PATHB 102. PATHA 101 and PATHB 102 go into the A and B of the input MUX of the capture or receiving register 106. Capture register 106 then has its Q output sent into an XOR logic gate 109 where it is logically XOR compared to expect signal 116 from the XQ output of launch register 105, that subsequently feeds into latching register 107, which is then observable typically on an output pin via the error signal R MISS 115. Latching register 107 is also scan observable, if necessary, to retrieve the latching result of a failure or a pass out of the register.

The basic operation of circuit 100 is such that it is continuously sending transitions out of launch register 105, which are then received in capture register 106 having been transferred to it by either the PATHA or PATHB, whichever path is currently being measured, which is selected by the MUX via SEL line 110.

Testing of a test path, like those shown in FIGURES 2 and 3, begins with a long clock cycle and a very low frequency, so that there is plenty of time for the transition edge signal sent from the launch register 105 to propagate through the path under test and be caught with great margin in the capture register 106. As the frequency of clock signal CK 111 is increased, and the cycle time is reduced, it becomes increasingly difficult to capture the transition edge, and it will eventually result in a failure. The failure point indicates the timing for the path. The clock frequency at the point of failure is directly converted to a period which is the measured delay for the path selected.

The clock frequency to the chip itself is varied by external instrumentation 112. Typically, a function generator is used to drive clock signal CK 111 through a typical clock distribution system to provide a low skew clock and a very precise frequency input in measurement scheme so

that the input frequency to the clock system can be monitored. A sample of the clock will be taken off at the bottom leaf of the clock tree and observed at an output pin to provide a secondary way to sense the internal clock rate and ascertain how much clock skew is present.

Because a toggle is being performed, there is a very predictable behavior in circuit 100. Thus, the returned toggle signal can be monitored by virtue of XOR gate 109 into latching register 107, which determines, cycle by cycle, whether or not the correct data has been captured. The clock cycle is cranked up to achieve a higher and higher frequency, until the point where the latch perceives that a failure has occurred, because capture register 106 has failed to meet its setup time on the changing data and as a result has the wrong value stored therein. This value is detected by the XOR gate 109 as a failure. XOR gate 109 is providing a comparison between the prior states, since it is fed off of the Q bar or XQ output of launch register 105. That state is then compared with the current state from the Q output of capture register 106. XOR gate 109 sends an error result if a correct match is not received, that is latched in latching register 107 where it is visible on an output.

A continuous measurement is being performed on each clock cycle. Any error in the measurement is only dependent in very minor local variations in the physical layout of the registers. It is driven completely off of the clock itself and these registers are typically laid out and placed very close together so they have minimal clock skew. Moreover, the clock itself is designed in a clock tree to minimize skew, this is one of the fundamentals of a high performance design. It already is the highest performance circuit element that can be used for doing a timing measurement.

Furthermore, all of registers are held in close physical proximity, but launch register 105 and capture register 106 must be as close as possible.

sible to each other. These two registers are clocked off of the very lowest branch of the clock tree, the bottom leaf cell of the clock, thus they have very minimal skew.

The path then can go off and cover a large area of the die and return, so that these two registers are physically close. The path itself is not restricted to be short or to be in a very localized zone. In fact, the path very often will be spread across a large area of the die to get more of the variation that can occur as a large die is crossed, for example from center to corner or from corner to corner, and thus observe IR drop and other on chip layout phenomena that vary across the die. Those characteristics can also be measured with this type of circuit, because abnormally long path delays are not predicted by simulation.

After completing the measurements on the first path, PATHA 101, a measurement can be made on PATHB 102. SEL signal 110 will change the MUX on capture register 106 to read PATHB 102. After PATHB 102 is read, the two paths can be compared with each other. The precision of the comparison is greater because not only is there already a precise way of determining delay with minimum error, but also the relative measurement between the two paths is precise because the exact same registers are used for launching and capturing.

Any error in the comparison not attributed to the paths is due first to the MUX of capture register 106. Thus, any error that would have been caused by the replication of circuit 100 has been eliminated. It is possible to add additional logic to circuit 100 to accommodate comparisons of three or more paths, but the variation in the MUX path delay will add additional error to the measurements. Moreover, circuit 100 could be replicated on a die, with each path connected thereto devised to measure different characteristics of different macros or core elements. Circuit 100 could also be replicated on a die with each PATHA being identical

1 and each PATHB being identical, to measure differences in die location

All of this logic on circuit 100 has to be testable and under certain circumstances the designer may want to scan out the results as captured in capture register 107. To make that possible, the scan in pin S_IN 113 is connected to the R input of the MUX on toggle register 104. When scanning, SCAN signal 108 is asserted, then S_IN 113 will feed into toggle register 104 through the B MUX input. The Q output of toggle register 104 flows directly into launch register 105, the Q output of which flows into the paths via R_SEND 102. SCAN 108 signal changes the selected path of capture register 106, so that PATHB 162 is the path that is selected under the scan situation.

The signal returns back to circuit 100 as Path PATHB on the B side of the MUX on capture register 106. The signal is output on the Q output of capture register 106, and is fed into the B side of the MUX on the latching register 107, thus by passing the XOR gate 109. The Q output of latching register 107 is error signal R_MISS 115. The Q bar output or XQ is inverted to negate its inversion, to keep an inversion out of the scan chain, and is passed in the scan chain as the scan out signal S_OUT 114. The scan register order then is register 104 going to 105, going to 106, going to 107. This is how the scan chain is hooked up and enables the logic testing.

FIGURE 2 depicts an arrangement of test circuit 200 having two serial paths of inverters 204. The two paths share the same input path, R_SEND 203. This signal line is what originates from launch register 105 of FIGURE 1. The signal is fanning into two serial streams of inverters 204. PATHA 201 has a total of 40 inverters, that are then connected to the A side of the MUX on capture register 106. PATHB has a total of 16 inverters 204, that are then connected to the B side of the MUX on capture

e register 106.

However, the different paths have nearly the same amount of delay time, as predicted from the vendor's information. In PATHA 201, the wire delay is minimal, as the inverter macros have been physically placed as close as they possibly can be to each other, so that they are essentially driving nearly no wire connection, and going straight into the next macro stage. This arrangement represents intrinsic delay, or the delay of the silicon in the macros with very little load factor. In PATHB 202, however, there are fewer inverter macros involved, but they are each driving a heavier load. There is more wire, and therefore more of the wire related delays. The LRC associated with the inductance, resistance, and capacitance of the wire is now contributing to the delay time, but with only 16 inverters, the additional delay from the wire, roughly equates to the intrinsic delay of the inverters of PATHA 201.

Note however, that it is not essential that the paths have the exact same delay. So long as they are of the same order of magnitude, then there is a very similar measurement and there is less opportunity for error that would be attributed to variation in the clock frequency source, as the clock source is swept. In other words, a failure will be detected by XOR gate 109 at approximately the same clock frequency, so that a comparison of the two paths will yield more accurate results. For this reason, the number of macros and the wire length is chosen to achieve nearly the same path delays, although not necessarily precisely the same.

FIGURE 3 depicts a second arrangement of a test circuit 300 having two serial paths of inverters 304. Here, the number of inverters in the serial chain is lower than that of FIGURE 2, but on both paths, the fan out has increased. This arrangement 300 represents a different kind of load condition than that of the arrangement 200.

In FIGURE 3, two variations that can exist on load are being examined

d, where PATHA 301 case has a fan out load, which is largely a capacitance load due to gate fan out, and a minimum amount of wire (as in PATHA 201), with 14 inverter macros 304 serially arranged, with each fanning out to two more. PATHB 302 has a more realistic or balanced combination of fan out and wire delay, in that there is more wire (as in PATHB 202) but with only 10 serially disposed inverter macros 304, each with the same fan out as in PATHA 301. Again the wire length and number of inverters is chosen so that the delays are approximately the same as for the two paths described in regards to FIGURE 2. By this method, the two paths can be precisely compared. Other arrangements can readily be made, for example, PATHA 201 from arrangement 200 can be compared to PATHA from arrangement 300. Other macros can be used in place of the inverters, such as NOR gates.

The types of elements that are included in the path are selected on the basis of a review of the library that will be used on the actual design. An analysis is undertaken of the elements within the macro library, which can typically have 60 or 70 elements in the macro library. The transistor schematics of the actual macro designs are broken down by driver types to examine the characteristic driver types and relative circuit element types that will relate to the timing performance of the macros.

Typically underlying the large macro library are a subset of basic driver types and basic circuit combinations which are used and reused to create the multiple macros that are in the library. The fundamentals of the different types are reduced down into core element macros, which are typically going to be represented by inverters with various drive strengths, and/or simple gates such as two input XORs, two input NORs and two input NANDs. These elements are then used to construct the chains depicted in FIGURE 2 and 3, and are used in combination with the extremes of

load types so that the fan out is being pushed to get an extreme gate capacitance variation, and the wire delay or the lack of wire delay to get the intrinsic case. These elements are then selected and targeted for path delay measurements.

The analysis of the individual library in breaking it down into fundamentals is an important step and can vary from design to design as to which elements would be chosen. Once the measurements are taken from a physical test chip (or several test chips) of the chosen elements, then they are compared with the simulated results from the information provided by the vendor. This will identify whether the vendor is conservative or aggressive, and allow more accurate setting of the margins in the design of the actual products by adding additional conservatism or margins into the design where the vendor information has been proven to be too aggressive, or removing some margins and push a more aggressive timing model and transfer the extra performance to the customer in the end via the design.

Other anomalies may arise from the measurement to simulation comparison of different arrangements on the same die. For instance, comparison of measured delay to simulation on a lightly loaded intrinsic delay dominated path might indicate that the die as processed is faster than simulation predicts by a large amount. On the same test die, measured versus simulated comparison of a heavily gate or fan out loaded path might indicate that the die is slower than simulation predicts. Anomalies that are produced by doing these corner point measurements will often key the designer to particular problems with the modeling schemes of the vendor that may result in changing the strategy for accounting for delays or fine tuning the assumptions for setting the margins as to more or less conservative in the actual finish design.

Although the present invention and its advantages have been describe

d in detail, it should be understood that various changes, substitutions and alterations can be made herein without departing from the spirit and scope of the invention as defined by the appended claims.

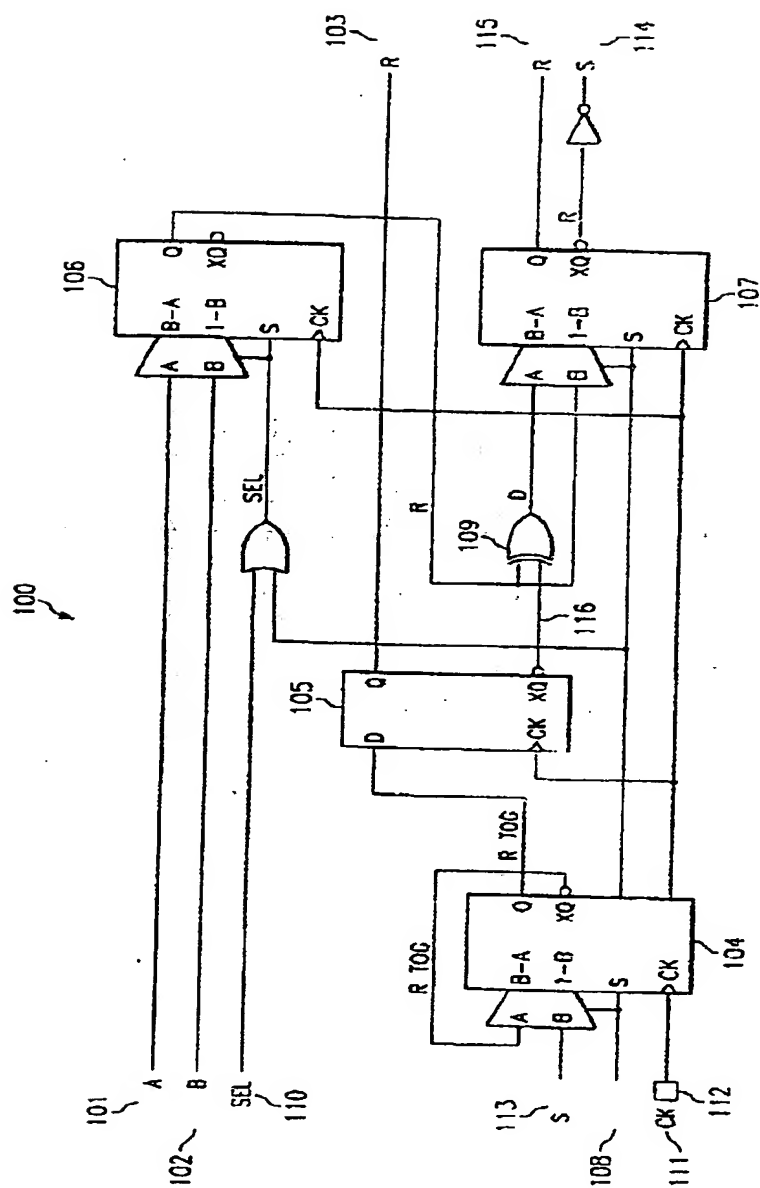
4. Brief Description of Drawings

FIGURE 1 depicts a schematic diagram of the inventive register circuit;

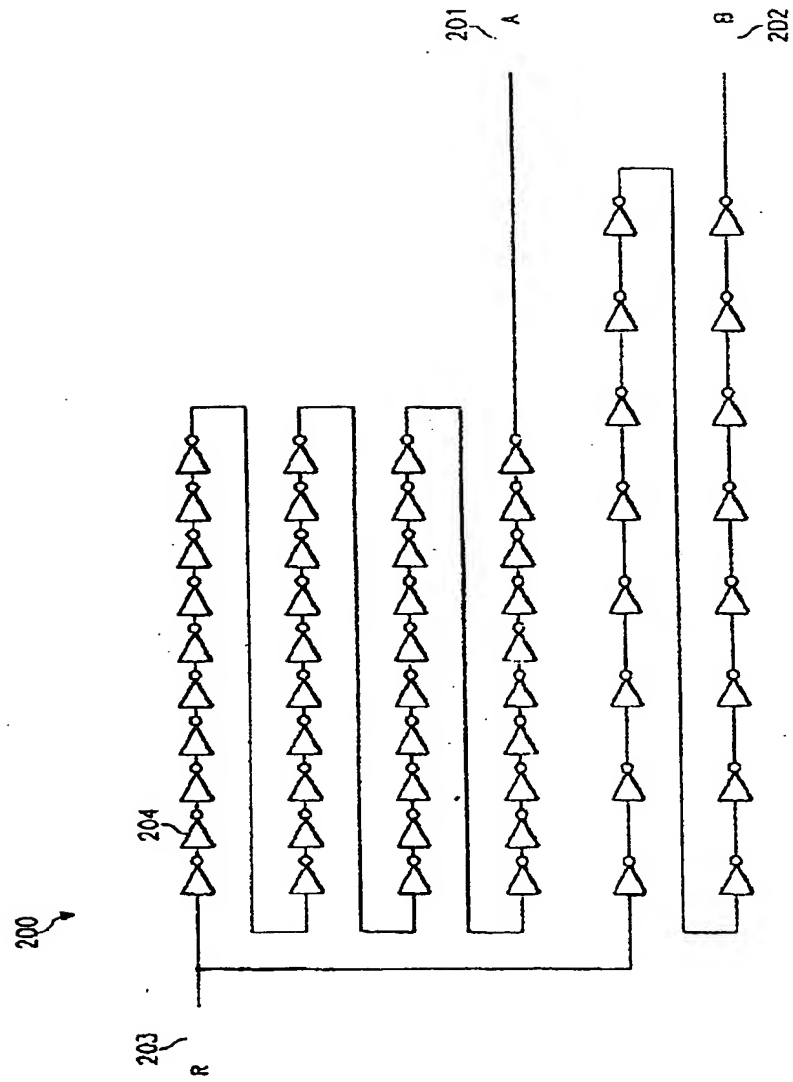
FIGURE 2 depicts two serial paths of inverters, which are connected to the respective signal lines of the circuit of FIGURE 1; and

FIGURE 3 depicts two paths having fan out of inverters, which are connected to the respective signal lines of the circuit of FIGURE 1.

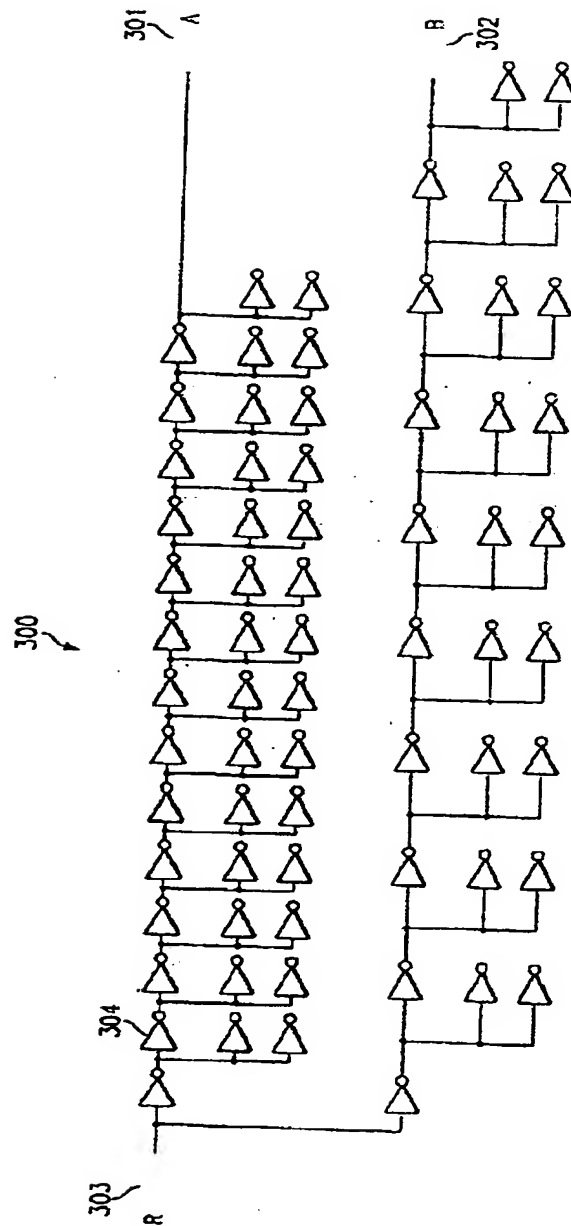
【FIG. 1】



【FIG. 2】



【FIG. 3】



1. Abstract

The inventive system and method determines path delay of at least one test path of logic gates. The invention uses a toggle register to generate a toggling signal, that is sent out onto the path by a launch register. A capture register receives the signal from the other end of the path. A logic gate compares the received signal from a prior launched signal with an inverted launched signal. Since the signal is a toggling signal the prior received signal should be the same as an inverted launched signal. A latch register determines whether the logic gate has detected a match between inverted launched signal and the received signal from a prior launch signal within a predetermined time clock period. As the clock period is shortened, the launched signal will fail to traverse the path and be captured by the capture register within the clock period. This will cause a mis-match in the logic gate. The clock period at the point of mis-match is the delay time of the path. The invention can use two paths to produce a very accurate comparison of the delays on the two paths.

2. Representative Drawing

FIG. 1

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.